

特許協力条約

PCT

EP

US

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 H 7 3 0 - 0 1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/01794	国際出願日 (日.月.年) 23.03.00	優先日 (日.月.年) 24.03.99
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎
 - a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
 - b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際調査機関に提出された書面による配列表
 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。
2. 請求の範囲の一部の調査ができない(第I欄参照)。
3. 発明の単一性が欠如している(第II欄参照)。
4. 発明の名称は
 出願人が提出したものを承認する。
 次に示すように国際調査機関が作成した。
5. 要約は
 出願人が提出したものを承認する。
 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。
6. 要約書とともに公表される図は、
第 3 図とする。 出願人が示したとおりである。 なし
 - 出願人は図を示さなかった。
 - 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L 21/82, H01L 27/04, H01L 21/822

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L 21/82, H01L 27/04, H01L 21/822

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 7-106521, A (日本電気株式会社) 21. 4月. 1995 (21. 04. 95) 全文, 第1-3図 (ファミリーなし)	1-3
Y	JP, 10-150148, A (株式会社デンソー) 2. 6月. 1998 (02. 06. 98) 段落番号【0033】 (ファミリーなし)	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

10. 05. 00

国際調査報告の発送日

23.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4L 2933



電話番号 03-3581-1101 内線 3497

THIS PAGE BLANK (USPTO)

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	Analog Integrated Circuits and Signal Processing, Vol. 14, (1997), P. Larsson, "di/dt Noise in CMOS Integrated Circuits", p. 113-129 特にp. 117-118を参照	2
Y	JP, 10-107235, A (株式会社日立製作所) 24. 4月. 1998 (24. 04. 98) 段落番号【0027】 (ファミリーなし)	3
X	JP, 10-326833, A (日本電気株式会社) 8. 12月. 1998 (08. 12. 98) 全文, 第1-3図 (ファミリーなし)	4

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

IKEUCHI, Hiroyuki
 Suite 401, Umeda Plaza Building
 3-25, Nishitenma 4-chome
 Kita-ku, Osaka-shi
 Osaka 530-0047
 JAPON



Date of mailing (day/month/year) 25 May 2000 (25.05.00)	
Applicant's or agent's file reference H730-01	IMPORTANT NOTIFICATION
International application No. PCT/JP00/01794	International filing date (day/month/year) 23 March 2000 (23.03.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 24 March 1999 (24.03.99)
Applicant	
MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
24 Marc 1999 (24.03.99)	11/79927	JP	19 May 2000 (19.05.00)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Taïeb Akremi  Telephone No. (41-22) 338.83.38
--	---

THIS PAGE BLANK (USPTO)

PCT

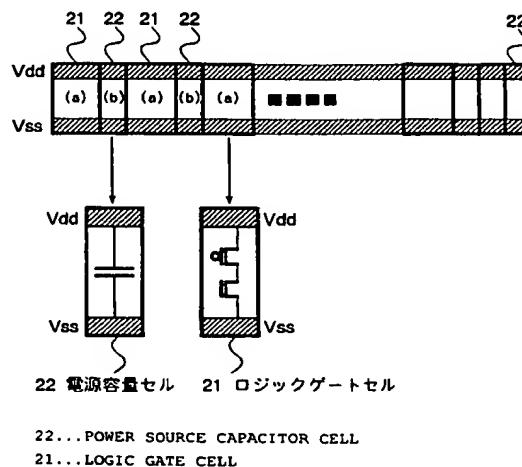
世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類7 H01L 21/82, 27/04, 21/822		A1	(11) 国際公開番号 WO00/57470
			(43) 国際公開日 2000年9月28日 (28.09.00)
(21) 国際出願番号 PCT/JP00/01794	2000年3月23日 (23.03.00)		山本裕雄(YAMAMOTO, Hiroo)[JP/JP] 〒569-1145 大阪府高槻市富田ヶ丘町5-21 マ・メゾンYC203 Osaka, (JP)
(22) 国際出願日 1999年3月24日 (24.03.99)	JP		里見勝治(SATOMI, Katsuji)[JP/JP] 〒535-0003 大阪府大阪市旭区中宮4-11-2 Osaka, (JP)
(30) 優先権データ 特願平11/79927			(74) 代理人 池内寛幸, 外(IKEUCHI, Hiroyuki et al.) 〒530-0047 大阪府大阪市北区西天満4丁目3番25号 梅田プラザビル401号室 Osaka, (JP)
(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)			(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 崎山史朗(SAKIYAMA, Shiro)[JP/JP] 〒571-0070 大阪府門真市上野口町20-20 山一大和田ハイツ101 Osaka, (JP) 木下雅善(KINOSHITA, Masayoshi)[JP/JP] 〒573-0084 大阪府枚方市香里ヶ丘7-4-2 Osaka, (JP) 梶原 準(KAJIWARA, Jun)[JP/JP] 〒612-8485 京都府京都市伏見区羽束師志水町138-8-A-104 Kyoto, (JP)			添付公開書類 国際調査報告書

(54) Title: METHOD OF DISPOSING LSI

(54) 発明の名称 LSI配置方法



(57) Abstract

A method of disposing an LSI by which a power noise suppression effect is produced and the power source can be well stabilized in designing an LSI of standard cell type. In designing an LSI by automatic arranging/routing of standard cells, a power source capacitor cell is provided as one of the standard cells. The capacitance of the power source capacitor cell is determined according to the driven load capacitance of each logic gate cell, one of the standard cells, and is disposed in the vicinity of each logic gate cell.

標準セル方式のLSI設計において、十分な電源ノイズ抑制効果を有し、十分な電源安定化の実現が可能なLSI配置方法を提供するべく、標準セルの自動配置配線によるLSI設計において、電源容量セルを標準セルの一つとして備え、電源容量セルについて、標準セルの一つである各ロジックゲートセルの駆動負荷容量値に応じて容量値を定め、各ロジックゲートセルの近傍に配置する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レソト	SK スロ伐キア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スウェーデン
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴー
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニアビサオ	共和国	TT トリニダッド・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴー	ID インドネシア	MR モーリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ベトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーロースラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノルウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュージーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

L S I 配置方法

技術分野

本発明は標準セルの自動配置配線を用いたL S I 設計における電源安定化方法に関する。

背景技術

近年の、L S I の消費電流の増大に伴い、L S I の電源ノイズは増大する傾向にある。また、省電力化に対する市場の要請によってL S I の低電圧化も進展し、それに伴い、L S I 内部回路の電源ノイズに対する動作マージンも劣化傾向にある。

このようなL S I の電源ノイズの増大は、L S I の内部回路に対して、(1) 動作速度の劣化、(2) 回路の誤動作、(3) E M I (Electro Magnetic Interference) ノイズによるシステムの誤動作といった悪影響を及ぼす懸念がある。

L S I が発生するノイズを抑制する方法としては、従来から電源容量をL S I 内部に配置する方法が良く用いられてきた。電源容量を挿入することで、電源の交流インピーダンスは小さくなり、高周波ノイズを抑制することが可能となるからである。

また、特開平5—21711号公報においては、L S I の機能回路が存在しない部分に電源容量を配置することで、電源安定化を行う方法が開示されている。さらに、特開平5—283615号公報においては、L S I の電源アルミ配線間容量を用いて、効果的に電源容量を付加する方法が開示されている。

一般に、C M O S (Complementary Metal-Oxide Semiconductor)

の集積回路では、スイッチング時に負荷容量への充放電電流が生ずる。

第9図に一般的なCMOS集積回路の回路図を示す。第9図において、

91はPMOS(P-channel MOS)トランジスタ・スイッチを、92

はNMOS(N-channel MOS)トランジスタ・スイッチを、93は接

5 地電極を、94は電源容量を、95は負荷容量を、96は電源(Vdd)

パッドを、97は電源(Vss)パッドを、98は充電電流を、99は

寄生インダクタを、それぞれ示す。

第9図において、PMOS(P-channel MOS)トランジスタ・スイ

ッチ91がオンになった場合には、電源から負荷容量95への充電電流

10 98(Ivdd)が流れ、NMOS(N-channel MOS)トランジスタ・ス

イッチ92がオンになった場合には、接地電極93への放電電流が発生

する。

電源容量94は、蓄積された電荷エネルギーを有する。CMOS集積

回路内に電源容量94を配置することで、電源パッド96からの電流供

15 紿(Ivdd)以外に、電源容量94からも電流(Ic)を供給することが可

能となるため、電源(Vdd)パッド96からの電流供給変化量を抑制

することが可能となる。

しかし、近年における半導体集積回路の微細化の進展に伴い、LSI

内部のアルミ配線のインダクタ成分(L)は増大する傾向にある。一般

20 的なCMOS回路においても、寄生インダクタ99が生じ、これが電源

ノイズの原因となっている。すなわち、電源ノイズ(ΔV)は以下の式

で示すことができる。

(数1)

$$\Delta V = L \times d i / d t$$

ここで、(数1)において、 $d i / d t$ は電流変化量を示す。(数1)

から、電源ノイズ(ΔV)を低減するためには、電流変化量($d i / d$

t) を小さくするか、あるいは寄生インダクタ成分 L を小さくすることが効果的であることがわかる。すなわち、寄生インダクタ成分 L はアルミ配線の長さに比例して大きくなるので、電流変化が生ずる電源ラインを短くすることが効果的である。

5 しかしながら、従来の方法においては、スイッチングした CMOS ゲート回路と電源容量間のアルミ配線の長さは相対的に長いため、電源容量からスイッチング回路までの電源インダクタ成分が大きくなり、十分な電源ノイズ低減効果を発揮することは困難であった。

発明の開示

10 本発明は、上記課題を解決すべく、標準セル方式の LSI 設計において、十分な電源ノイズ抑制効果を有し、十分な電源安定化の実現が可能な LSI 配置方法を提供することを目的とする。

上記目的を達成するために本発明にかかる LSI 配置方法は、標準セルの自動配置配線による LSI 設計において、電源容量セルを標準セルの一つとして備え、電源容量セルについて、標準セルの一つであるロジックゲートセルのうち、電源容量セルを配置すべきロジックゲートセルの駆動負荷容量値に応じて容量値を定め、電源容量セルをロジックゲートセルの近傍に配置することを特徴とする。

かかる構成により、ロジックゲートセルの負荷容量に応じた最適な容量値を有する電源容量セルをロジックゲートセルの近傍に配置することにより、寄生インダクタによるノイズ増加を防ぐことができ、電源ノイズ成分を低減することが可能となる。

また、本発明にかかる LSI 配置方法は、電源容量セルの容量値を、ロジックゲートセルにおける駆動負荷容量値の略 2 倍の大きさに設定することが好ましい。ロジックゲート標準セルの全負荷容量に対し、2 倍程度に設定しておくと、電源ノイズは電源電圧の約 1 / 10 以下の抑え

ることができるからである。

また、本発明にかかるLSI配置方法は、電源容量セルが、クロック同期で同時変化するロジックゲートセルの近傍に配置することが好ましい。クロック同期系のロジックゲートの近傍に配置することで、面積口

5 スを最小限にし、かつ、電源ノイズを効率的に抑制することができるからである。

次に、上記目的を達成するために本発明にかかるLSI配置方法は、標準セルの自動配置配線によるLSI設計において、電源容量セルを標準セルの一つとして備え、自動配置配線された各ブロックにおける標準

10 セル未配置領域に、電源容量セルを配置することを特徴とする。

かかる構成により、各回路ブロックにおいて標準セルが配置されていない領域（デッドスペース）に電源容量を配置することで、ブロック面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを低減することが可能となる。

15 図面の簡単な説明

第1図は、LSIのブロック図である。

第2図は、ブロックの自動配置配線図である。

第3図は、本発明の実施の形態1にかかるLSI配置方法における電源容量標準セルを備えた自動配置配線図である。

20 第4図は、本発明の実施の形態1にかかるLSI配置方法における最適電源容量決定の説明図である。

第5図は、CMOS半導体集積回路における電源容量の構成の例示図である。

第6図は、CTS設計された回路の例示図である。

25 第7図は、従来の標準セルを用いた自動配置配線によるブロックレイアウトの例示図である。

第8図は、本発明の実施の形態2にかかるLSI配置方法における標準セルを用いた自動配置配線によるブロックレイアウトの例示図である。

第9図は、従来のCMOS集積回路の回路図である。

発明を実施するための最良の形態

5 (実施の形態1)

以下、本発明の実施の形態1にかかるLSI配置方法について、図面を参照しながら説明する。第1図は一般的なLSIブロック図、第2図はブロックAにおける自動配置配線図、第3図は本発明の実施の形態1にかかるLSI配置方法における電源容量標準セルを備えた自動配置配

10 線図である。

第1図において、1はLSIを、11から13は標準セルを用いてブロックレイアウトした時の各回路ブロックを、それぞれ示す。各ブロックは、第2図で示されるように、標準セルによりセル合成がなされ、各ブロックは長方形型にレイアウトされる。本発明においては、標準セルとして電源容量のみで構成される標準セル22が予め準備されているところに特徴がある。電源容量標準セル22は、各ロジックゲート標準セル21の負荷容量に応じて、第3図に示すように、ロジックゲート標準セル21の近傍に配置される。

ここで、「近傍」とは負荷を駆動する各ロジックゲート標準セル21

20 の隣であり、同じ電源ライン上に配置されていることを意味している。

したがって、他の電源ライン上に配置されている場合は、たとえ距離的に近い位置に配置されていても「近傍」に配置されているとは解さない。

そして、ロジックゲート標準セル21の近傍に電源容量標準セル22を配置することにより、各ロジックゲート標準セルがスイッチングした場合に生じる負荷容量への充電電流は、近傍に配置された電源容量から、その多くが供給されるため、電源インダクタ成分Lによる(数1)で示

される電源ノイズは小さくなる。

一般に電源ノイズ (ΔV) は、ロジックゲート標準セル 2 1 の全負荷容量に対し、2 倍程度に設定しておくと、 ΔV は、電源電圧 (V_{dd}) の約 $1/10$ 以下に抑えられることが知られている。(P.Larsson, "di/dt

5 Noise in CMOS Integrated Circuits.", Analog Integrated Circuits and Processing, An International Journal Vol.14, pp.113-129, 1997.)

また、ノイズが電源電圧の $1/10$ 以下であるということは、別の見方をすれば、CMOS しきい値電圧の約 $1/2$ の電圧値に相当する。したがって、電源ノイズをしきい値電圧の $1/2$ に抑えることが、LSI 10 動作の信頼性を保証する上で特に重要な要素となる。

すなわち、第 4 図に示すように、標準セル方式のセル合成において、自動レイアウト配置を行う際に、各ロジックゲートの駆動負荷容量 ($C_1 + C_2$) を見積もり、各ロジックゲートに対し、駆動負荷容量の約 2 倍以上となる電源容量 C_d を有する電源容量標準セル 2 1 を、各ロジックゲートの近傍に配置する。すなわち、 $C_d > 2 (C_1 + C_2)$ を満たすように電源容量標準セル 2 1 を配置する。かかる配置とすることで、個々のロジックゲート回路において、電源ノイズ (ΔV) を電源電圧の $1/10$ 以下に抑えることが保証できるので、LSI 全体での電源ノイズの最大値を保証することが可能となる。

20 また、電源容量の構成として、CMOS 半導体集積回路では、第 5 図の構成が最適である。すなわち、p-sub ウエハでは、n-well を V_{ss} に固定し、ポリシリコンゲート電極を V_{dd} に固定する。ゲート電極電位は、n-well に対し順バイアスとなっているため、空亡層容量が生成されないので、小面積であるにもかかわらず、大きな容量 25 値を有する電源容量を実現することができる。

一方、電源容量標準セル 2 2 を全てのロジックゲートに対して配置す

ることは、大きな面積ロスを生む。さらに、電源ノイズが最も大きくなるのは、複数のロジックゲートが同時にスイッチングする時である。一般に、完全クロック同期型で動作するLSIでは、クロックの立ち上がりにおいて、多くのロジックゲートがスイッチングする。これは、DF 5 F (D Flip-Flop) が、クロックの立ち上がりで全て動作するように設計されるからである。また、近年におけるLSIの高速化に伴い、クロックスキーの削減が望まれている。

このような背景の中で、CTS (Clock tree Synthesis) と呼ばれる設計手法が標準化されつつある。この方法は、全てのDFF動作の位相 10 が等しくなるように、タイミング調整することができる方法の一つである。当該タイミング調整は、配線遅延を考慮したインバータ遅延によって行うことができる。第6図にCTSを用いたLSI設計の典型的な例を示す。第6図において、23はDFF標準セル、24はインバータ標準セルである。インバータのサイズ等を負荷容量に応じて変更したり、 15 また、インバータの遅延段数を調整すること等によって、全てのDFFのクロック位相が等しくなるように調整することができる。

CTSによる高精度化により、全てのDFFは同時にスイッチングを行うようになる。電源ノイズ問題が最も厳しいのは、このような場合である。したがって、同期系のロジックゲート (DFFゲートやCTS用 20 のインバータゲート等) にのみ、上記CTSを用いて電源容量標準セル22を配置するという方法が、LSI全体の面積削減とノイズ抑制効果とのバランスを考えた場合に、最も効果的な方法となる。

以上のように本実施の形態1によれば、従来の標準セルを用いたLSI配置方法において、新規な電源容量セルを用意し、ロジックゲートセルの負荷容量に応じた最適なサイズの電源容量セルをロジックゲートセルの近傍に配置することにより、寄生インダクタによる電源ノイズの増 25

加を防ぐことができ、電源ノイズ成分を低減することが可能となる。また、クロック同期系のロジックゲートにのみ上記方法を採用することで、面積ロスを最小限にとどめ、かつ、電源ノイズを効率的に抑制することができる。

5 (実施の形態 2)

次に本発明の実施の形態 2 にかかる LSI 配置方法について、図面を参考しながら説明する。第 7 図は従来の標準セルを用いて自動配置配線された、ブロックである。第 7 図に示されるように、従来構成においては、ブロックを構成する各電源ラインの標準セルによるブロック幅が、

10 各々のブロックによって相異するため、ブロック内に標準セルを配置していない領域であるデッドスペース 7 1 が存在する。そこで、本実施の形態 2 においては、第 8 図に示すように、当該デッドスペース 7 1 に電源容量標準セル 2 2 を配置した。かかる配置とすることで、従来構成のブロック 1 1 とブロック全体の面積を変えることなく、効果的に電源容量セルを配置させることができる。

一般に、電源容量が大きければ大きい程、電源インピーダンスが小さくなるため、電源ノイズを効果的に抑制するためには可能な限り電源容量セルを配置させた方が効果的である。しかし、一方ではブロック面積には物理的な限界がある。本実施の形態 2 においては、ブロック全体の

20 面積を増やすことなく、電源容量セルを追加することが可能となる。これは、電源容量標準セル 2 2 という標準セルを準備し、電源のデッドスペースの幅と電源容量標準セル 2 2 の幅に基づいて配置可能な電源容量標準セル 2 2 の個数を計算し、可能な限り配置することで、簡単に実現することができる。

25 以上のように本実施の形態 2 によれば、新規な電源容量標準セル 2 2 を用意し、従来の方法により自動配置配線を行う場合に必ず存在した各

回路ブロックのデッドスペース 7 1 に電源容量標準セル 2 2 を可能な限り配置することで、ブロック全体の面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを効果的に低減することが可能となる。

5 さらに、かかる方法を用いて設計された半導体集積回路においては、電源ノイズが少なく、回路の誤動作等が生じにくいために、当該半導体集積回路を種々のシステムや装置に適用することで、品質の高いシステムや装置を提供することが可能となる。

なお、上述した実施の形態は本発明を例示するものであって、本発明
10 をこれに限定するものではない。また本発明の内容は、請求の範囲によ
ってのみ限定される。

産業上の利用可能性

以上のように、本発明にかかるLSI配置方法によれば、従来の標準セルを用いたLSI設計において、ロジックゲートセルの負荷容量に応
15 じた最適なサイズの電源容量セルをロジックゲートセルの近傍に配置す
ることで、従来のLSI配置方法と比較して電源配線のL成分を小さく
することができ、電源ノイズを効果的に抑制することが可能となる。

また、本発明にかかるLSI配置方法によれば、クロック同期系のロ
ジックゲートにのみ上記方法を採用することで、面積ロスを最小限にす
20 ることができ、かつ、電源ノイズを効率的に抑制することが可能となる。

さらに、本発明にかかるLSI配置方法によれば、従来存在した各回路ブロックのデッドスペースに電源容量セルを配置することで、ブロック全体の面積を増やすことなく電源インピーダンスを下げることができ、電源ノイズを低減することが可能となる。

請求の範囲

1. 標準セルの自動配置配線によるLSI設計において、電源容量セルを前記標準セルの一つとして備え、前記電源容量セルについて、前記標準セルの一つであるロジックゲートセルのうち、前記電源容量セルを配置すべき前記ロジックゲートセルの駆動負荷容量値に応じて容量値を定め、前記電源容量セルを前記ロジックゲートセルの近傍に配置することを特徴とするLSI配置方法。
2. 前記電源容量セルの前記容量値を、前記ロジックゲートセルにおける前記駆動負荷容量値の略2倍の大きさに設定する請求項1記載のLSI配置方法。
3. 前記電源容量セルを、クロック同期で同時変化する前記ロジックゲートセルの近傍に配置する請求項1記載のLSI配置方法。
4. 標準セルの自動配置配線によるLSI設計において、電源容量セルを前記標準セルの一つとして備え、自動配置配線された各ブロックにおける標準セル未配置領域に、前記電源容量セルを配置することを特徴とするLSI配置方法。

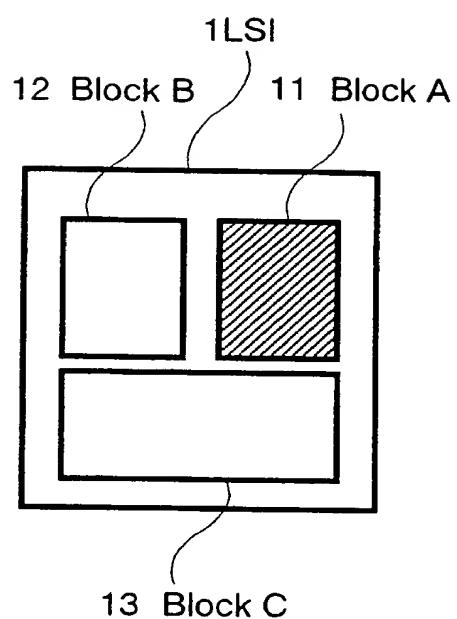


FIG. 1

THIS PAGE BLANK (USPTO)

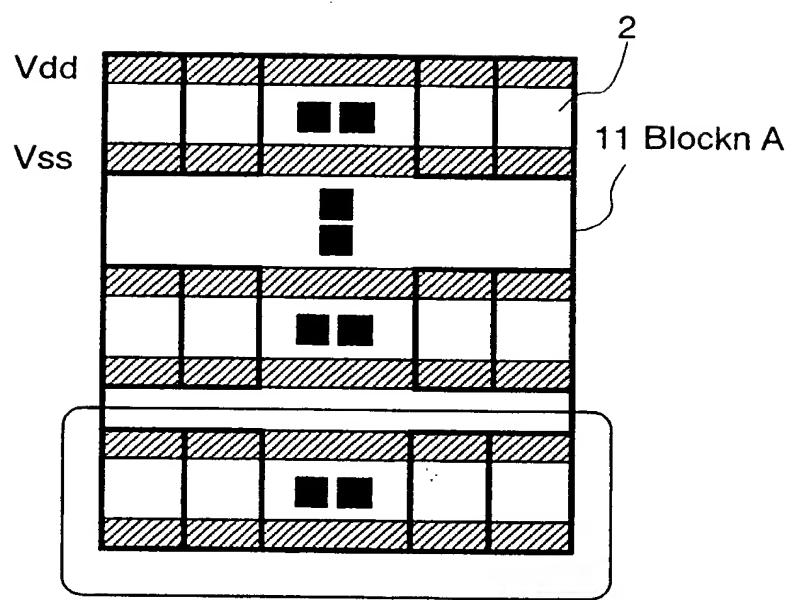


FIG. 2

THIS PAGE BLANK (USPTO)

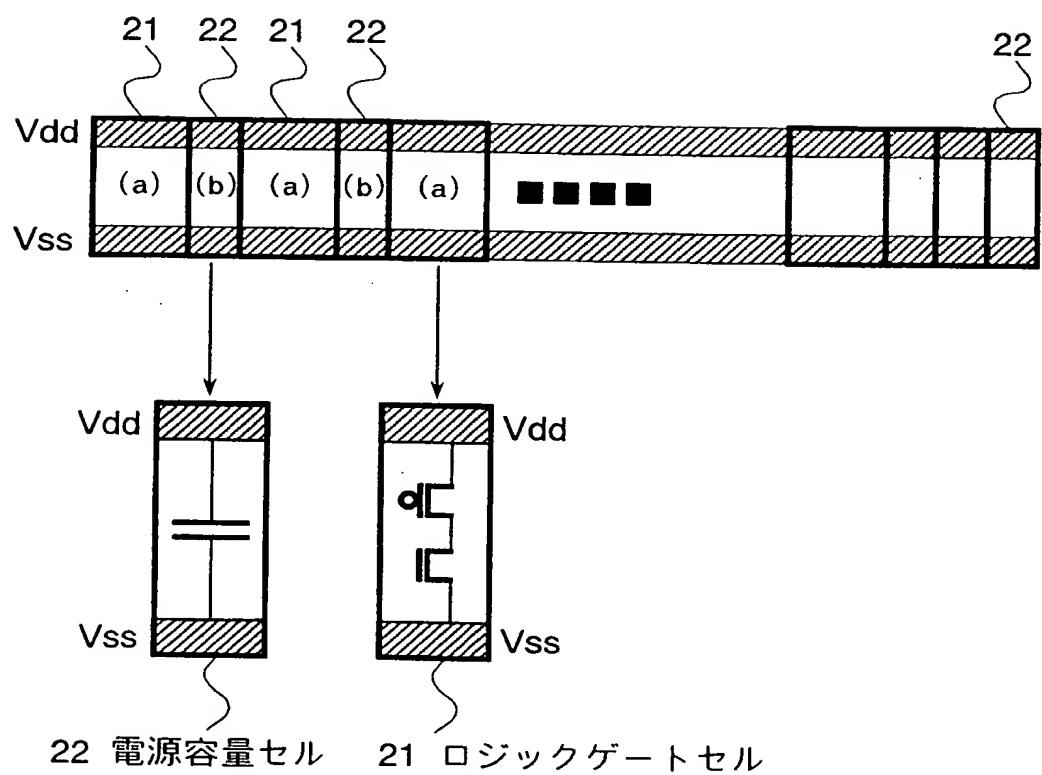
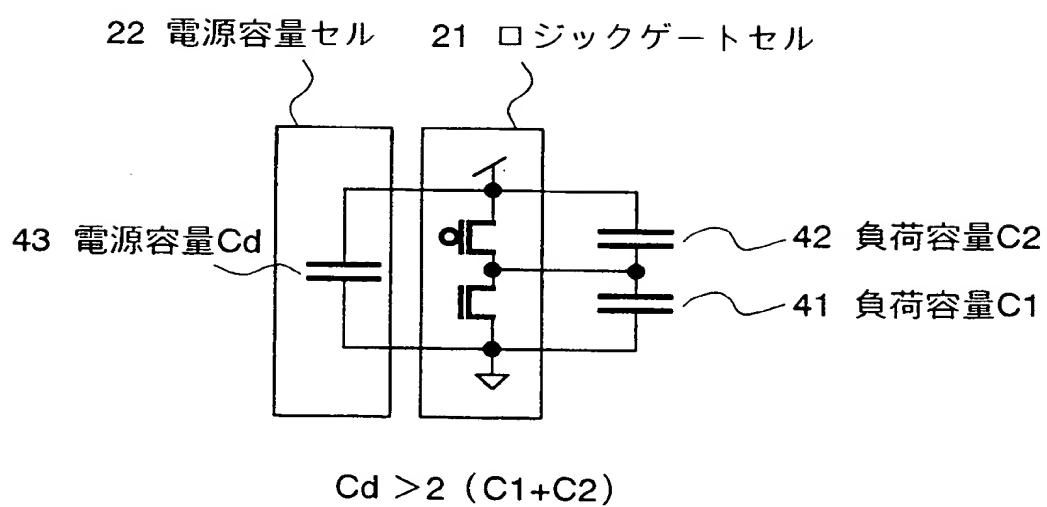


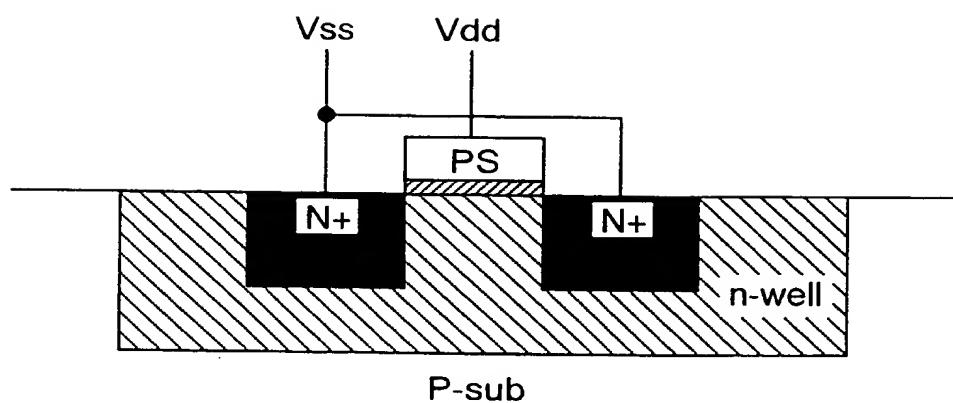
FIG. 3

THIS PAGE BLANK (USPTO)



F I G. 4

THIS PAGE BLANK (USPTO)



F I G. 5

THIS PAGE BLANK (USPTO)

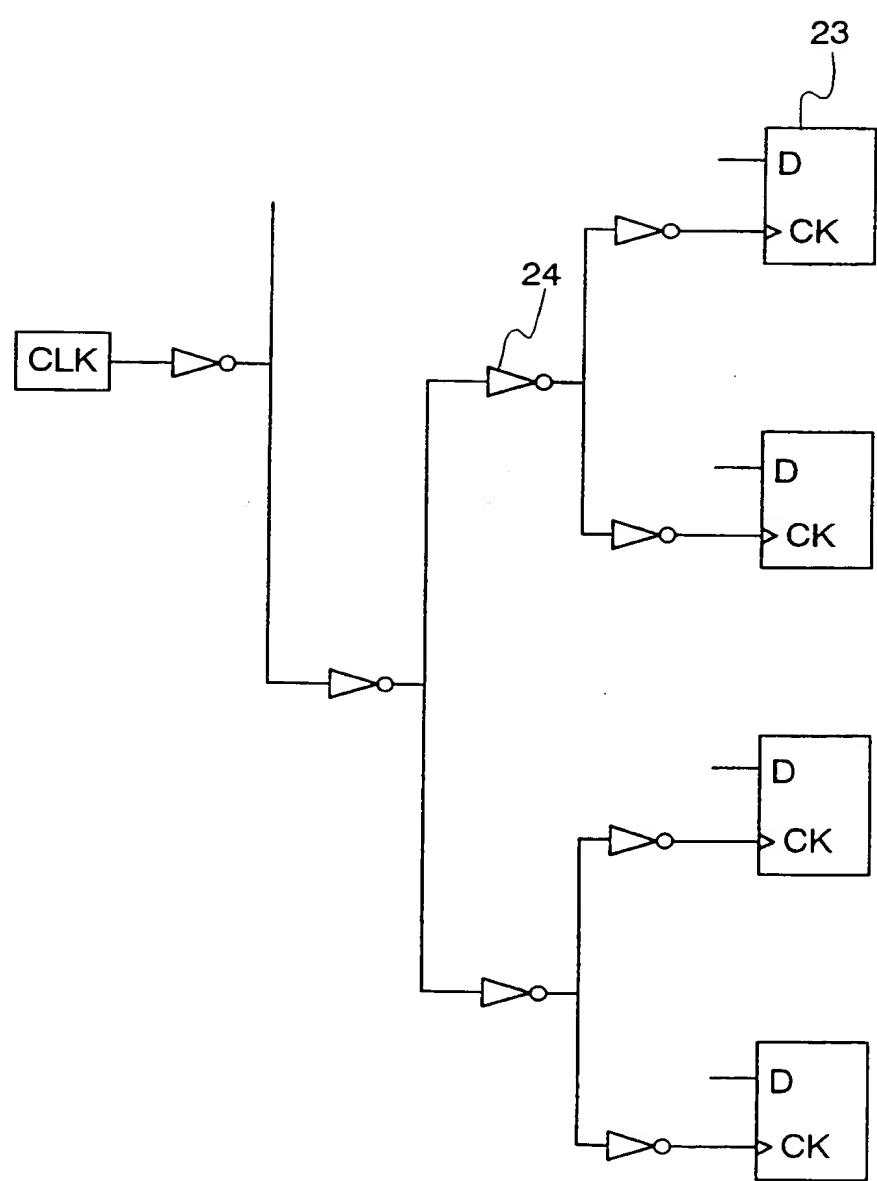


FIG. 6

THIS PAGE BLANK (USPTO)

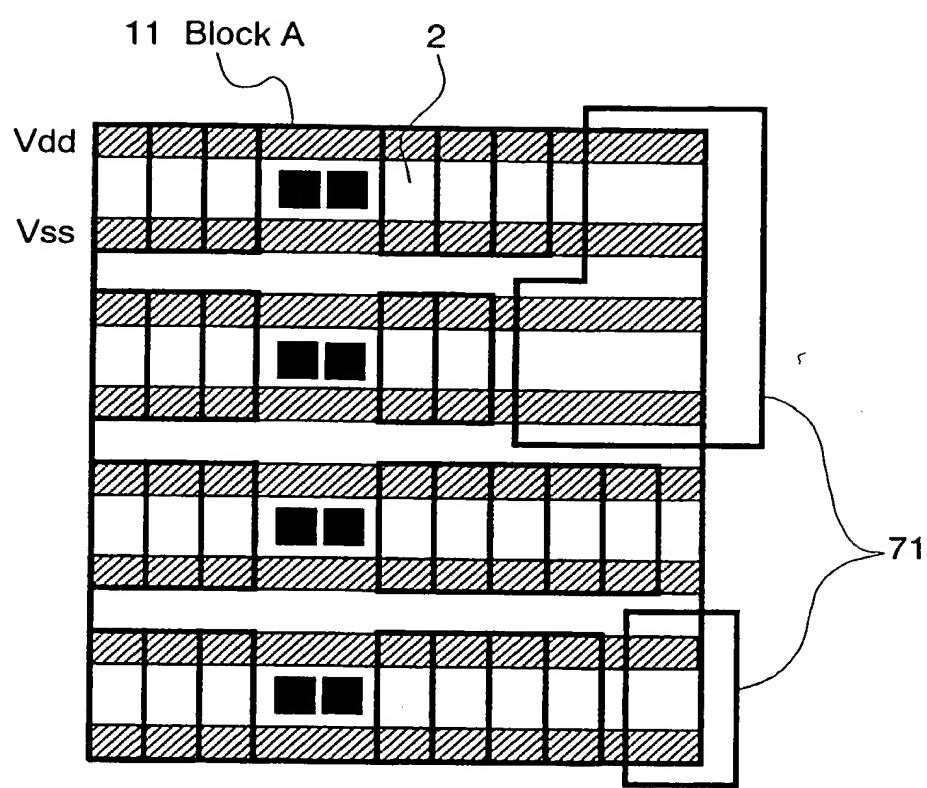


FIG. 7

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

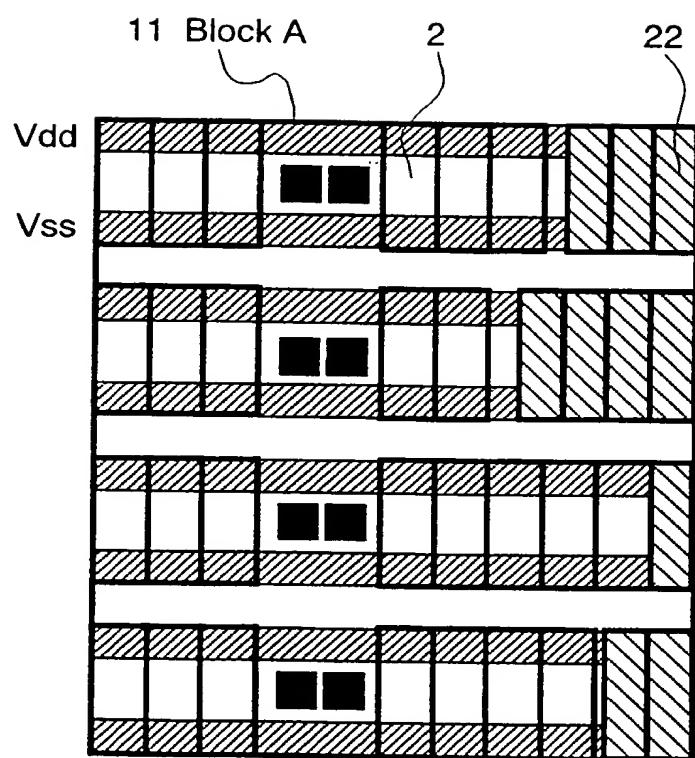


FIG. 8

THIS PAGE BLANK (USPTO)

9/9

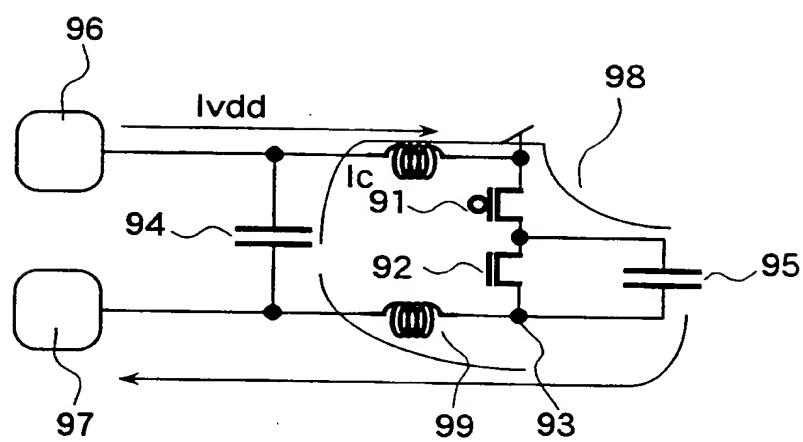


FIG. 9

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01794

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L 21/82, H01L 27/04, H01L 21/822

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L 21/82, H01L 27/04, H01L 21/822

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 7-106521, A (NEC Corporation), 21 April, 1995 (21.04.95), Full text; Figs. 1 to 3 (Family: none)	1-3
Y	JP, 10-150148, A (Denso Corporation), 02 June, 1998 (02.06.98), Par. No. [0033] (Family: none)	1-3
Y	Analog Integrated Circuits and Signal Processing, Vol.14, (1997), P. Larsson, "di/dt Noise in CMOS Integrated Circuits", p.113-129, especially, see p.117-118	2
Y	JP, 10-107235, A (Hitachi, Ltd.), 24 April, 1998 (24.04.98), Par. No. [0027] (Family: none)	3
X	JP, 10-326833, A (NEC Corporation), 08 December, 1998 (08.12.98), Full text; Figs. 1 to 3 (Family: none)	4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 10 May, 2000 (10.05.00)

Date of mailing of the international search report
 23 May, 2000 (23.05.00)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JP00/01794

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L 21/82, H01L 27/04, H01L 21/822

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L 21/82, H01L 27/04, H01L 21/822

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 7-106521, A (日本電気株式会社) 21. 4月. 1995 (21. 04. 95) 全文, 第1-3図 (ファミリーなし)	1-3
Y	JP, 10-150148, A (株式会社デンソー) 2. 6月. 1998 (02. 06. 98) 段落番号【0033】 (ファミリーなし)	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 10. 05. 00	国際調査報告の発送日 23.05.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 大嶋 洋一 4 L 2933 印 電話番号 03-3581-1101 内線 3497

国際調査報告

国際出願番号 PCT/JP00/01794

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	Analog Integrated Circuits and Signal Processing, Vol. 14, (1997), P. Larsson, "di/dt Noise in CMOS Integrated Circuits", p. 113-129 特にp. 117-118を参照	2
Y	JP, 10-107235, A (株式会社日立製作所) 24. 4月. 1998 (24. 04. 98) 段落番号【0027】 (ファミリーなし)	3
X	JP, 10-326833, A (日本電気株式会社) 8. 12月. 1998 (08. 12. 98) 全文, 第1-3図 (ファミリーなし)	4